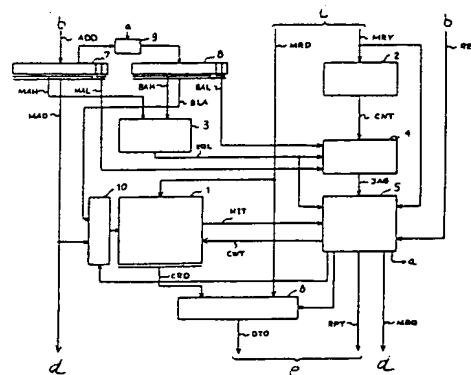


(54) CACHE MEMORY CONTROLLER

(11) 62-72041 (A) (43) 2.4.1987 (19) JP
 (21) Appl. No. 60-212821 (22) 25.9.1985
 (71) NEC CORP (72) IZUYUKI UEHARA
 (51) Int. Cl. G06F12/08

PURPOSE: To improve a throughput by allowing a following read request to be accepted when the block address of following memory read request data is equal in the block address in block loading if the following memory read request is made during the block loading.

CONSTITUTION: Block addresses in an address register 7 and a block load address register s8 are inputted to a comparing circuit 3, whose comparison result is inputted as an address coincidence signal EQL to a decision circuit 4 and a control part 5. When the block addresses are coincident with each other, the decision circuit 4 calculates an in-block word address where the block loading is started, i.e. an address where a request is made by a CPU for the 1st time on the basis of the in-block word address BALL and a count signal CNT and then compares it with the in-block word address MAL of the CPU memory read request to decide whether or not data in a request address is already written on a cache memory 1, thereby reporting the result to the control part 5 as a decision signal JAG.



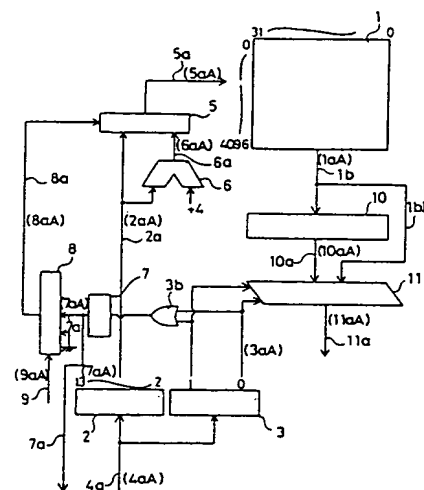
2: counting circuit, 6: selecting circuit, b: from CPU, c: from main memory, d: to main memory, e: to CPU

(54) CACHE MEMORY

(11) 62-72042 (A) (43) 2.4.1987 (19) JP
 (21) Appl. No. 60-211174 (22) 26.9.1985
 (71) MITSUBISHI ELECTRIC CORP (72) TAKASHI KODAMA
 (51) Int. Cl. G06F12/08

PURPOSE: To incorporate address boundary control and speed up processing, and to improve the instruction execution performance of a computer by providing a data array, an address increment circuit, a data latch circuit, and a data digitizing circuit.

CONSTITUTION: An address 2aA and a +4 address 6aA inputted to the 1st selector 5 are selected with an output signal 8aA to control the switching of an address 4aA. A data latch circuit 10 inputs and latches data 1aA from the data array 1 through a data line 1b. The data digitizing circuit 11 inputs the latch output signal 10aA of the data latch circuit 10 through a latch output line 10a and also inputs the data 1aA of the data array 1 without passing through the data latch circuit 10, but a subordinate data line 1bB and the data digitizing circuit 11 digitizes the latch output signal 10aA and data 1aA and outputs a digitization output signal 11A through a digitization output line 11a.



2: 1st address register, 3: 2nd address register, 7: register, 8: 2nd selector

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑪ 公開特許公報(A) 昭62-72041

⑫ Int.Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和62年(1987)4月2日
G 06 F 12/08 B-8219-5B
Q-8219-5B 審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 キヤッシュメモリ制御装置

⑮ 特 願 昭60-212821

⑯ 出 願 昭60(1985)9月25日

⑰ 発 明 者 上 原 出 之 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

キヤッシュメモリ制御装置

2. 特許請求の範囲

1 回のブロックロード要求に対して発生する複数のメモリリクエストに対応するメモリブライデータの数をカウントするカウント回路と、

処理装置で発生する後続のメモリリクエストのアドレスとキヤッシュメモリの書き込みアドレスとを比較する比較回路と、

キヤッシュメモリからの読出しデータとメインメモリからの読出しデータを選択する選択回路と、

ブロックロード中に処理装置から後続のメモリリードリクエストが発生し且つ前記比較回路の出力が前記後続のメモリリクエストのブロックアドレスとキヤッシュメモリの書き込みブロックアドレスとが一致していることを示すとき、前記カウント回路のカウント値、ブロックロードアドレス及び前記後続のメモリリクエストのアドレスに基づき前記後続のメモリリードリクエストのアドレス

に対応するデータが既にキヤッシュメモリに書込まれたブロック内ワードであるかを判定する判定回路と、

該判定回路で既に書込みが行なわれたと判定された場合には、前記後続のメモリリードリクエストのアドレスでキヤッシュメモリから読出されたデータをブロックロードによってキヤッシュメモリが専有されていないタイミングで前記選択回路で選択させ、前記書込みが未だ終了していないと判定された場合には、前記後続のメモリリードリクエストのアドレスと同一のアドレスのメモリブライデータが返却されるまで前記メモリリードリクエストを待ち合わせ、その返却と同時にメモリブライタイミングでメモリブライデータを前記選択回路で選択させる制御手段とを具備したことを特徴とするキヤッシュメモリ制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はキヤッシュメモリの制御装置に関し、特にブロックロード中に処理装置からメモリリ

ドリクエストが発生した際の制御方式の改良に関する。

〔従来の技術〕

処理装置（以下CPUと称す）とメインメモリとの動作スピードのギャップを埋めるために、周知の如く両者の間に高速・小容量のメモリで構成されるキャッシュ記憶装置を設ける方がよく採用される。メインメモリは予め容量が一定の多数のブロックに分割され、これら多数のブロックのうちの一部のブロックに格納されているデータを、キャッシュ記憶装置内のキャッシュメモリに書込んでおく（このような書き込みをブロックロードという）。

CPUがメモリデータのリードリクエストを出すと、先ずリードリクエストされているデータがキャッシュメモリに存在する（ヒット）か否（ミスヒット）かが調べられる。もしヒットすればキャッシュメモリからの読出しデータのうちの当該データがCPUに送出される。反対にミスヒットすればキャッシュメモリからの読出しデータは放

棄され、メインメモリの当該アドレスのデータを読んでCPUに送出すると共に当該データが含まれるブロックがキャッシュメモリの空ブロックまたは例えば最も永く使用されていないデータを記憶しているブロックにブロックロードされる。一般にこの1ブロックのデータ量はメインメモリからキャッシュメモリに転送されるデータ単位よりも大きいため、1回のブロックロードに対してメインメモリの読出し動作およびキャッシュメモリへの書き込み動作は複数回行なわれることになる。

ミスヒット時に発生するブロックロード要求が開始されて最後の読出しデータがキャッシュメモリへ書き込みを終了するまでの期間であるブロックロード動作中、キャッシュメモリへ読出しデータを書込んでいるときは、キャッシュメモリが占有されるためにキャッシュメモリからの読出しは行なうことができない。

従来、このブロックロード中にCPUがメモリデータのリードリクエストを出した場合、ブロックロード中はキャッシュメモリをブロックロード

に占有させているため、CPUのメモリデータのリードリクエストは必ずブロックロードの終了を待って受け付けるように構成されていた。

〔発明が解決しようとする問題点〕

上述したように従来のキャッシュメモリ制御装置では、CPUのメモリリードリクエストがブロックロードの終了まで必ず待たされることになり、キャッシュメモリ処理装置のスループットを低下させるという欠点があった。

本発明の目的は、ブロックロード中にCPUから後続のメモリリードリクエストが発生した場合、その後続のメモリリードリクエストデータのブロックアドレスがブロックロード中のブロックアドレスと等しいときは、ブロックロード中に後続のメモリリードリクエストの処理が可能ないように構成することにより、キャッシュメモリ処理装置のスループットを向上させることにある。

〔問題点を解決するための手段〕

本発明は上記目的を達成するために、1回のブロックロード要求に対して発生する複数のメモリ

リクエストに対応するメモリリブライデータの数をカウントするカウント回路と、

処理装置で発生する後続のメモリリクエストのアドレスとキャッシュメモリの書き込みアドレスとを比較する比較回路と、

キャッシュメモリからの読出しデータとメインメモリからの読出しデータを選択する選択回路と、

ブロックロード中に処理装置から後続のメモリリードリクエストが発生し且つ前記比較回路の出力が前記後続のメモリリクエストのブロックアドレスとキャッシュメモリの書き込みブロックアドレスとが一致していることを示すとき、前記カウント回路のカウント値、ブロックロードアドレス及び前記後続のメモリリクエストのアドレスに基づき前記後続のメモリリードリクエストのアドレスに対応するデータが既にキャッシュメモリに書込まれたブロック内ワードであるかを判定する判定回路と、

該判定回路で既に書き込みが行なわれたと判定された場合には、前記後続のメモリリードリクエス

トのアドレスでキャッシュメモリから読出されたデータをブロックロードによってキャッシュメモリが占有されていないタイミングで前記選択回路で選択させ、前記書込みが未だ終了していないと判定された場合には、前記後続のメモリリードリクエストのアドレスと同一のアドレスのメモリリブライデータが返却されるまで前記メモリリードリクエストを持ち合わせ、その返却と同時にメモリリブライタイミングでメモリリブライデータを前記選択回路で選択させる制御手段とを設ける。

(作用)

ブロックロード中に処理装置から後続のメモリリードリクエストが発生すると、そのメモリリードリクエストのアドレスのブロックアドレスとブロックロード処理が行なわれているブロックロードアドレスのブロックアドレスとが比較回路で比較され、両アドレスの一致の有無が調べられる。一方、ブロックロード要求に対して発生する複数のメモリリブライデータの数がカウント回路でカウントされ、判定回路は比較回路の出力が一致を

示すとき、カウント回路のカウント値、ブロックロードアドレス及び後続のメモリリードリクエストのアドレスから要求されたデータが既にキャッシュメモリに書込まれたブロック内ワードであるかを判定する。そして、既に書込まれたデータである場合には、後続のメモリリードリクエストのアドレスによってキャッシュメモリから読出されたデータをブロックロードによってキャッシュメモリが占有されていないタイミングで読出してCPUに送出し、書込みが未だ終了していないと判定されたときは、要求されたデータが処理装置から返却されるまで待ち合わせ、返却されたときに処理装置へ送出する。

(実施例)

第1図は本発明の一実施例のブロック図である。一般に、メインメモリ(図示せず)は、1ブロックが例えば32バイトの容量を有する多数のブロックに分割されている。これに対し、メインメモリとキャッシュメモリ1との間で転送されるデータ単位はブロックの容量より小さく例えば8バイト

になっている。従って、ミスヒットが生じた場合にメインメモリに対して4回メモリリードリクエスト信号MRQを出し、これを受けてメインメモリから送出されるメモリリードデータMRDを4回キャッシュメモリ1に書込むことによってブロックロードが完了する。なお、CPUが要求するメモリリードデータは最初のメモリリブライタイミングでリブライ信号RPYとともにCPUへ送出する。メインメモリはサイクルタイムが例えば100nsであり、CPUのサイクルタイムはそれより短く例えば50nsとなっているため、メインメモリはメモリリードリクエストMRQをCPUサイクルで2T(Tは1CPUサイクル)に1回受付けることになり、メモリリブライデータMRD及びメモリリブライ信号RPYも同様に2Tに1回送出することになる。

第1図において、アドレスレジスタ7はCPUからメモリリクエストアドレスADDがセットされるレジスタである。このレジスタ7は、メモリリクエストアドレスADDの内のブロックアドレ

スマAHを格納する部分と、ブロック内ワードアドレスMALを格納する例えば2ビットの部分に分かれ、ブロック内ワードアドレスMALは図示しない手段によりブロックロード動作前半において所定の順序で更新される。アドレスレジスタ7の全ての内容はアドレス信号MADとしてキャッシュメモリ1に選択回路10を介して加えられ、ブロックアドレスMAHは比較回路3に入力され、ブロック内ワードアドレスMALは判定回路4に入力される。

ブロックロードアドレスレジスタ8は、ブロックロード動作中の所定のタイミングで開かれるゲート回路9を介してアドレスレジスタ7の内容がセットされるレジスタで、ブロックアドレスBAHを格納する部分と2ビットのブロック内ワードアドレスBALを格納する部分とから構成される。ブロックロードアドレスレジスタ8の全ての内容BLAは選択回路10を介してキャッシュメモリ1に加えられ、ブロックアドレスBAHは比較回路3に入力され、ブロック内ワードアドレスBAL

は判定回路4に入力される。上記ブロック内ワードアドレスBALは図示しない手段によりブロックロード動作後半において所定の順序で更新される。キャッシュメモリ1は図示しないメインメモリの複数のブロックのアドレスとデータのコピーを記憶するメモリで、選択回路10を介したアドレスMAD、BLAとメインメモリからのメモリリードデータMRDと、制御部5からのキャッシュ書き込み信号CWTとが入力され、ヒット信号HITとキャッシュリードデータCRDを出力する。キャッシュメモリ1はアドレスレジスタ7にセットされたアドレスMADが入力された際、アドレスMADと同一のアドレスが内部に記憶されているかを参照し、記憶されている場合はヒット信号HITを“1”とし、記憶されていない場合はヒット信号HITを“0”のままとする。また、制御部5からのキャッシュ書き込み信号CWTが“1”のタイミングで選択回路10から入力されているアドレスにメモリリードデータMRDを書込み、キャッシュ書き込み信号CWTが“0”のタイミング

でBALが00-01-10-11-00の順で更新されると、現在のブロック内ワードアドレスBALが例えば「10」でカウント値が「2」であれば、2つ前の値「00」を開始アドレスとする。判定回路4は開始アドレスを算出すると、その開始アドレスとアドレスレジスタ7のブロック内ワードアドレスMALとを比較し、アドレスレジスタ7にセットされた要求アドレスのデータが既にキャッシュメモリ内に書込まれたデータか否かを判定する。この判定は、前述の開始アドレスとカウント回路2のカウント値から既にキャッシュメモリに書込まれたデータのブロック内ワードアドレスが判るので、アドレスレジスタ7のブロック内ワードアドレスMALがその中に含まれているか否かで判定できる。判定回路4は、アドレスレジスタ7にセットされた要求アドレスのデータが既にキャッシュメモリ内に書込まれたデータであると判定したときは、制御部5に加わる判定信号JAGを例えば“1”とする。

制御部5は、CPUからメモリリードリクエス

では選択回路10から入力されているアドレスのデータがあればそれをキャッシュリードデータCRDとして出力する。

カウント回路2は、例えば2ビットのカウントで構成され、1回のブロックロード要求に対して発生する複数のメモリリクエストに対応するメモリリブライ信号MPYをカウントし、このカウント回路2のカウント値CNTは判定回路4に入力される。比較回路3は、アドレスレジスタ7のブロックアドレスMAHとブロックロードアドレスレジスタ8からのブロックアドレスBAHとを比較するもので両アドレスが一致しているとき判定回路4、制御部5に加わるアドレス一致信号BQLを例えば“1”とする。

判定回路4は、アドレス一致信号BQLが“1”のとき、ブロックロードアドレスレジスタ8のブロック内ワードアドレスBALの現在値とカウント回路2のカウント値CNTとから、ブロックロードが開始されたブロック内ワードアドレスを算出する。これは、例えばブロック内ワードアドレ

ス信号REQを受けると、そのリクエスト信号REQがブロックロード動作の前半以外の期間に入力されたときに限り図示しないセット信号を送出してCPUからのアドレスADDをアドレスレジスタ7にセットする。そして、このセットをブロックロード動作中以外で行なったときは、選択回路10をアドレスレジスタ7側に切換え、ヒット信号HITが“1”になるか否かを監視する。そして、ヒット信号HITが“1”になれば選択回路6をキャッシュメモリ1側に切換え、アドレスレジスタ7のアドレスMADで読出されたキャッシュリードデータCRDをリブライ信号RPYとともにCPUへ送出する。また、ヒット信号HITが“1”にならないと、後述するブロックロード動作を開示する。一方、ブロックロード動作の後半部分において新たなメモリリードリクエスト信号REQが発生し、そのメモリリードリクエスト信号REQに伴うCPUアドレスADDをアドレスレジスタ7にセットしたときは、ブロックロード動作と並行して判定回路4の判定結果に基づく

後述するキャッシュ一致処理を行なう。

第2図は上述のブロックロードの動作タイムチャートであり、以下第1図及び第2図に基づいて本実施例の動作を説明する。

ブロックロード動作の前半以外の期間でCPUからメモリリードリクエスト信号REQとアドレスADDが発生すると、アドレスADDはアドレスレジスタ7にセットされ、キャッシュメモリ1では選択回路10がアドレスレジスタ7側に切換えられることによってアドレスレジスタ7にセットされたアドレスMADに該当するアドレスが内部に記憶されているか否かが参照される。この結果キャッシュメモリ1に該当するアドレスが存在すれば、キャッシュメモリ1から制御部5に加えられているヒット信号HITは論理"1"となり、制御部5は選択回路6においてキャッシュ読出しデータCRDを選択させ、出力データDTCとしてCPUに送出させる。

キャッシュメモリ1に該当するアドレスが存在しない場合は、ヒット信号HITが論理"1"

る。同時に制御部5はゲート信号 ϕ を送出してゲート回路9を開きアドレスレジスタ7の内容をブロックロードアドレスレジスタ8に転送すると共に選択回路10を切換え、ブロックロードアドレスレジスタ8にセットされたアドレスBLAによって示されるキャッシュメモリ1の番地にキャッシュ書込み信号CWTを送出することによりメモリリードデータMRDを書込む。キャッシュメモリ1への書込み動作は後続する3つのメモリリードデータについても行なわれ、第2図の各CPUタイミングT12、T14、T16で制御部5がメモリライブライ信号MRYをそれぞれRY2~RY4として受け取り、ブロックロードアドレスレジスタ8の下位2ビットの内容が図示しない手段により各リブライタイミングで所定の順序で更新されたアドレスにキャッシュ書込み信号CWTを送出することによって書込みを行ない、ブロックロードを終了する。

このブロックロードによるメモリライブライ信号MRYが到来する毎にカウント回路2がカウント

にならないために、制御部5はブロックロードを開始する。制御部5はブロックロードを開始すると、先ずメモリリードリクエスト信号MRQをメインメモリに送出し、アドレスレジスタ7が保持するアドレスMADによって指定される番地を送出す。このメモリリードリクエスト信号MRQは第2図のCPUタイミングT2、T3、T4、T6の4つのタイミングでそれぞれRQ1~RQ4として出され、アドレスレジスタ7の内容は図示しない手段により下位2ビットの値(ブロック内ワードアドレス)が各タイミングで所定の順序で更新される。

メインメモリはメモリリードリクエスト信号MRQを受けると、メモリライブライ信号MRYとともに指定されたアドレスのメモリリードデータMRDを送出する。制御部5は最初のメモリライブライ信号MRY(RY1)を第2図のCPUタイミングT10で受け取ると選択回路6においてメモリリードデータMRDを選択させ、リブライ信号RPYとともに出力データDTCをCPUに送出す

アップされリブライの数が計数される。このカウント回路2のカウント値CNTは判定回路4に入力される。

次に上記ブロックロード動作中に例えば第2図のCPUタイミングT13でCPUから後続のメモリリードリクエストREQが発生した場合について説明する。

ブロックロード動作中に後続のメモリリードリクエストREQが発生すると、それに伴ってCPUから発生されるアドレスADDによってアドレスレジスタ7の内容は後続のメモリリードリクエストのアドレスへ書換えられ、ブロックロードアドレスレジスタ8には現在のブロックロードアドレスが格納されたまま保持される。そして、先ず、アドレスレジスタ7とブロックロードアドレスレジスタ8の各々のブロックアドレス(MAH、BAH)が比較回路3に入力され、比較結果はアドレス一致信号EQLとして出力され判定回路4と制御部5に入力される。

ブロックアドレスが一致していない場合は、通

常のCPUメモリリードリクエストの処理と同様であり、ブロックロードの終了までCPUのメモリ読み出し要求が待たされることになる。しかし、一致している場合は、アドレスレジスタ7のブロック内ワードアドレスMALと、ブロックロードアドレスレジスタ8のブロック内ワードアドレスBALが判定回路4に入力されていることによって、判定回路4は、ブロック内ワードアドレスBALとカウント信号CNTに基づきブロックロードが開始されたブロック内ワードアドレス即ち最初にCPUから要求のあったアドレスを算出し、これとCPUメモリリードリクエストのブロック内ワードアドレスMALとを比較することによって、要求アドレスのデータが既にキャッシュメモリ1内に書込まれたデータかそうでないかを判定し、判定信号JAGとして制御部5に通知する。既にキャッシュメモリ1に書込まれたデータである場合、つまり判定信号JAGが論理“1”である場合は、制御部5は、ブロックロードによってキャッシュメモリ1が専有されていないタイミングで

選択回路10を一時的にアドレスレジスタ7側に切換え、アドレスレジスタ7のアドレスでキャッシュメモリ1から読み出されたキャッシュリードデータCRDを選択回路6で選択させ、出力データDIOとしてリブライ信号RPYとともにCPUへ送出する。

一方、アドレス一致信号EQが論理“1”で判定信号JAGが“0”の場合は、CPUのメモリリードリクエスト信号REQはホールドされ、第2図のCPUタイミングT14、あるいはT16でメモリリブライ信号MRYが返却され、判定信号JAGが“1”になるまで待たされる。制御部5はメモリリブライ信号MRYとともに判定信号JAGが“1”になったタイミングで選択回路6にメモリリードデータMRDを選択させ、リブライ信号RPYとともにリードデータをCPUへ送出する。この動作は、第2図のCPUタイミングT12でCPUがメモリリードリクエストREQを出して、比較信号EQと判定信号JAGがともに“1”となった場合も同様である。

〔発明の効果〕

以上説明したように、本発明は、ブロックロード中に後続のメモリリードリクエストが発生した場合、発生したメモリリードリクエストのブロックアドレスとブロックロード中のブロックアドレスが一致していれば、既にキャッシュメモリに書込まれたデータについては速やかにCPUに要求データが送出され、後続するメモリリブライデータがCPUの要求するメモリ読み出しデータである場合には、そのデータが返却された時点でCPUに要求データが送出されるので、キャッシュ制御装置のスループットを向上させることができる効果がある。

4.図面の簡単な説明

第1図は本発明の一実施例を示すブロック図および、

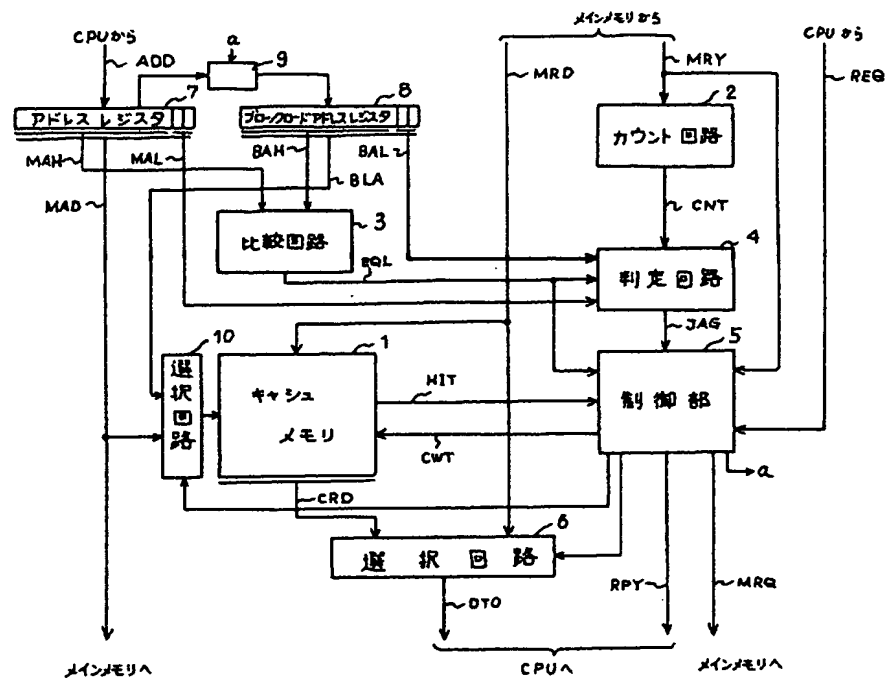
第2図は第1図の実施例の動作を説明するための動作タイムチャートである。

図において、1はキャッシュメモリ、2はカウント回路、3は比較回路、4は判定回路、5は制

御部、6は選択回路、7はアドレスレジスタ、8はブロックロードアドレスレジスタである。

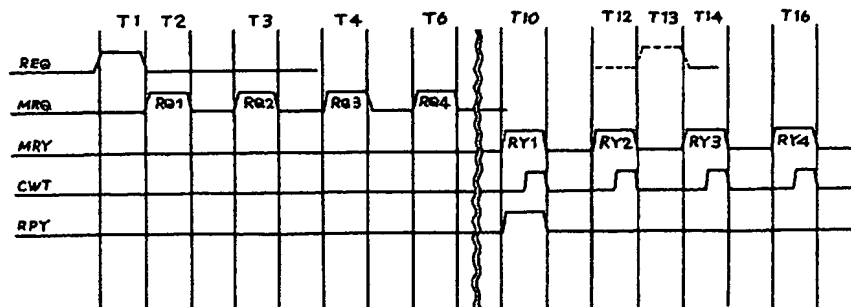
特許出願人日本電気株式会社

代理人弁理士 内 原 晋



本発明の実施例のブロック図

第 1 図



第1図の動作タイムチャート

第 2 図